

BU, Lin-Kai  
May 3, 2001 #2  
BSKB, LLP  
(703) 205-8000  
3626-0191P  
1041

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

JC971 U.S. PTO  
09/847306  
05/03/01

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 03 月 15 日  
Application Date

申請案號：090106145  
Application No.

申請人：奇美電子股份有限公司  
Applicant(s)

局長  
Director General

陳明邦

發文日期：西元 2001 年 4 月 20 日  
Issue Date

發文字號：09011005757  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	資料發送器
	英 文	DATA TRANSMITTER
二、 發明人	姓 名 (中文)	1. 卜令楷
	姓 名 (英文)	1. BU, Lin-kai
	國 籍	1. 中華民國
	住、居所	1. 台南市實踐街103巷27弄20號
三、 申請人	姓 名 (名稱) (中文)	1. 奇美電子股份有限公司
	姓 名 (名稱) (英文)	1. CHI MEI OPTOELECTRONICS CORP.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台南縣台南科學工業園區奇業路1號
	代表人 姓 名 (中文)	1. 許文龍
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：資料發送器)

一種資料發送器(data transmitter)，用以將單端式資料(single-ended data)轉換成差動式資料(differential data)，該資料發送器具有能量效率高、共模位準(common-mode level)可精確控制、操作頻寬大等優點，其採用作為源極隨耦器(source follower)之NMOS電晶體以提供流入傳導路徑之電流，並採用作為源極隨耦器之PMOS電晶體以排放傳導路徑之電流。

英文發明摘要 (發明之名稱：DATA TRANSMITTER)

A data transmitter for converting single-ended data to differential data is disclosed. The data transmitter has the advantages of possessing high-energy efficiency and common-mode level, and being able to control precisely, as well as having wide bandwidth in operational frequency. The NMOS transistor being the source follower is employed to provide current for transmitting into the conducting paths. Besides, the PMOS transistor also being the source



四、中文發明摘要 (發明之名稱：資料發送器)

英文發明摘要 (發明之名稱：DATA TRANSMITTER )

follower is employed for discharging current from the conducting paths.



7  
本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

### 技術領域

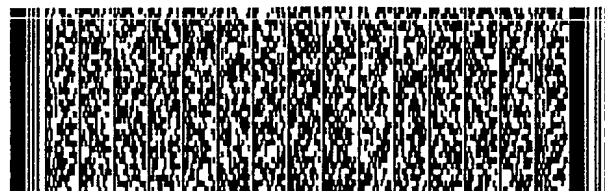
本發明係關於一種用以將資料發送至傳輸線 (transmission line) 的資料發送器 (data transmitter)，尤有關於一種具有能量效率高、共模位準可精確控制、操作頻寬大等優點之差動式資料發送器。

### 發明背景

資料傳輸線或匯流排 (bus) 係用於在電腦的元件與其他數位資料系統之間傳輸資料。雖然電腦元件所處理的資料之型式一般為單端 (single-ended) 型式，即「高值」或「低值」，然而在 CPU 與電腦之其他元件之間一般均採用差動式傳輸線 (differential transmission line) 來傳輸資料。其原因係在於單端式傳輸線易受共模雜訊 (common mode noise) 之影響，而差動式傳輸線則不然。詳而言之，在一個差動式系統中，資料是以兩條線之間的電位差 (voltage differential) 來表示，而當兩條線同時受到外界影響時，此電位差仍然維持相同，

單端式資料若欲藉由差動式傳輸線來傳輸，需要先經由一資料發送器將單端式資料轉換成差動式資料，並且在接收端尚需經由一資料接收器 (data receiver) 將差動式資料轉換成單端式資料。

圖6表示美國專利號碼5,694,060揭示的資料發送器，包含：第一與第二傳導路徑，並聯連接於節點A與節點B之間；開關61、62，串聯連接於前述第一傳導路徑上，其中開關61靠近節點A，開關62靠近節點B；開關63、64，串聯



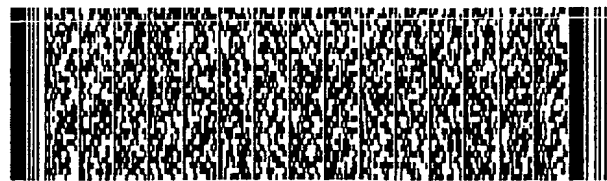
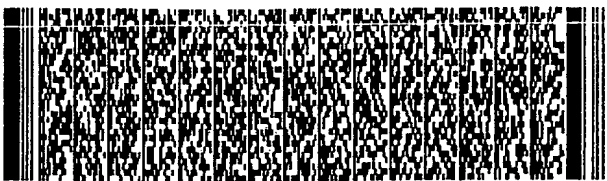
## 五、發明說明 (2)

連接於前述第二傳導路徑上，其中開關63靠近節點A，開關64靠近節點B；定電流源65，用以經由節點A提供一電流至第一與第二傳導路徑；及定電流源66，用以經由節點B接受來自前述第一與第二傳導路徑之電流。

其中，開關61、62、63、64分別接受輸入的單端二元信號或其反相信號，用以使得當開關61與64導通時，開關62與63切斷，當開關62與63導通時，開關61與64切斷。差動二元輸出信號係由節點C與節點D拉出。

此種資料發送器相較於更傳統的資料發送器，雖然在能量效率有所改進，但仍然有以下缺點：(1) 難以控制共模位準(common-mode level)---由於定電流源上之電位降無法控制，節點A與節點B之電位亦無法決定，結果造成共模位準難以控制。(2) 外接的傳輸線之電阻值( $100\ \Omega$ )決定此資料發送器之操作頻寬，而此操作頻寬尚有提高的空間----由於定電流源65、66具有非常高的輸出電阻，因此，資料發送器之操作頻寬(反比於 $R_{eq} \times C$ ，其中 $R_{eq}$ 表示由傳輸線往資料發送器所看到的等效電阻值， $C$ 表示傳輸線的電容值)端視外接的傳輸線之電阻值( $100\ \Omega$ )而決定。

圖7表示美國專利號碼5,519,728揭示的資料發送器，包含：第一與第二傳導路徑，並聯連接於節點A與節點B之間；開關71、72，串聯連接於前述第一傳導路徑上，其中開關71靠近節點A，開關72靠近節點B；開關73、74，串聯連接於前述第二傳導路徑上，其中開關73靠近節點A，開關74靠近節點B；定電流源75，用以經由節點A提供一電流



### 五、發明說明 (3)

至第一與第二傳導路徑；及電阻 $R_B$ ，用以經由節點B接受來自前述第一與第二傳導路徑之電流。

其中，開關71、72、73、74分別接受輸入的單端二元信號或其反相信號，用以使得當開關71與74導通時，開關72與73切斷，當開關72與73導通時，開關71與74切斷。差動二元輸出信號係由節點C與節點D拉出。

此種資料發送器相較於圖6所示者，在節點B與接地點之間，採用一電阻 $R_B$ 來取代定電流源，結果節點B的電位可由定電流源75之電流大小與與電阻 $R_B$ 之阻值而決定，因此改進了圖6之電路難以控制共模位準之缺點。然而，由於電阻 $R_B$ 之阻值通常遠大於外接傳輸線之電阻值( $100\ \Omega$ )，因此，外接的傳輸線之電阻值( $100\ \Omega$ )依然決定此資料發送器之操作頻寬。

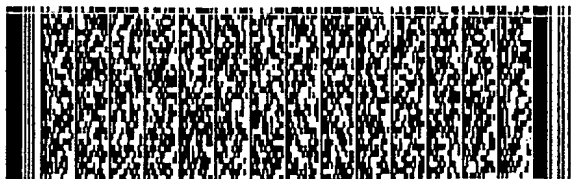
#### 發明概要

有鑑於以上問題，本發明提供一種具有能量效率高、共模位準可精確控制、操作頻寬大等優點之差動式資料發送器。

本發明之第一較佳實施例提供一種資料發送器，包含：

一第一與一第二傳導路徑，並聯連接於一第一與一第二節點之間；

一第一與一第二開關，串聯連接於前述第一傳導路徑上，其中前述第一開關靠近前述第一節點，前述第二開關靠近前述第二節點；





#### 五、發明說明 (4)

一第三與一第四開關，串聯連接於前述第二傳導路徑上，其中前述第三開關靠近前述第一節點，前述第四開關靠近前述第二節點；

作為源極隨耦器(source follower)之NMOS電晶體，其汲極連接於電壓源，閘極連接於一第一驅動電壓，源極連接於前述第一節點，用以經由前述第一節點提供一電流至前述第一與第二傳導路徑；及

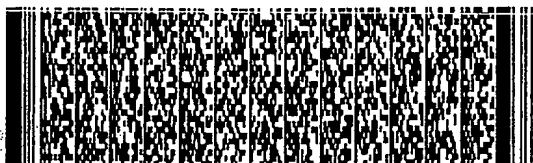
作為源極隨耦器之PMOS電晶體，其汲極接地，閘極連接於一第二驅動電壓，源極連接於前述第二節點，用以經由前述第二節點接受來自前述第一與第二傳導路徑之電流。

其中，前述第一開關、第二開關、第三開關及第四開關之壓控端子上分別施加前述單端二元輸入信號或其反相信號，用以使得當前述第一與第四開關導通時，前述第二與第三開關切斷，當前述第二與第三開關導通時，前述第一與第四開關切斷。前述差動二元輸出信號係由一對輸出端子拉出，一輸出端子連接於前述第一傳導路徑中前述第一與第二開關之連接處，另一輸出端子連接於前述第二傳導路徑中前述第三與第四開關之連接處。

本發明之第二較佳實施例提供一種資料發送器，包含：

一第一與一第二傳導路徑，並聯連接於一第一與一第二節點之間；

一第一與一第二開關，串聯連接於前述第一傳導路徑



## 五、發明說明 (5)

上，其中前述第一開關靠近前述第一節點，前述第二開關靠近前述第二節點；

一第三與一第四開關，串聯連接於前述第二傳導路徑上，其中前述第三開關靠近前述第一節點，前述第四開關靠近前述第二節點；

作為射極隨耦器(emitter follower)之npn電晶體，其集極連接於電壓源，基極連接於一第一驅動電壓，射極連接於前述第一節點，用以經由前述第一節點提供一電流至前述第一與第二傳導路徑；及

作為射極隨耦器之pnp電晶體，其集極接地，基極連接於一第二驅動電壓，射極連接於前述第二節點，用以經由前述第二節點接受來自前述第一與第二傳導路徑之電流。

其中，前述第一開關、第二開關、第三開關及第四開關之壓控端子上分別施加前述單端二元輸入信號或其反相信號，用以使得當前述第一與第四開關導通時，前述第二與第三開關切斷，當前述第二與第三開關導通時，前述第一與第四開關切斷。前述差動二元輸出信號係由一對輸出端子拉出，一輸出端子連接於前述第一傳導路徑中前述第一與第二開關之連接處，另一輸出端子連接於前述第二傳導路徑中前述第三與第四開關之連接處。

### 較佳實施例之詳細描述

圖1表示根據本發明之第一較佳實施例的資料發送器，相較於圖7所示之資料發送器，差異點在於：(1) 圖7



#### 五、發明說明 (6)

所示的資料發送器中，流入節點A之電流係由一個定電流源來提供，而圖1所示之本發明的資料發送器中，流入節點A之電流係由一個作為源極隨耦器的NMOS電晶體N1來提供；(2) 圖7所示的資料發送器中，由節點B流出之電流係流入一電阻 $R_B$ ，而圖1所示之本發明的資料發送器中，由節點B流出之電流係流入一個作為源極隨耦器的PMOS電晶體P1。

以下吾人由兩個方面說明圖1所示之本發明的資料發送器較之圖7所示之習知的資料發送器，可操作於更高的頻率。

首先，圖7中，由於定電流源具有非常高的輸出電阻，電阻 $R_B$ 的阻值一般亦遠大於外接於資料發送器之傳輸線(transmission line)的電阻值( $100\ \Omega$ )，因此，圖7之資料發送器其操作頻寬(反比於 $R_{eq} \times C$ ，其中 $R_{eq}$ 表示由傳輸線往資料發送器所看到的等效電阻值，C表示傳輸線的電容值)端視外接的傳輸線之電阻值( $100\ \Omega$ )而決定。而圖1中，源極隨耦器N1或P1一般具有低輸出電阻，此低輸出電阻與傳輸線之阻值 $100\ \Omega$ 並聯後，可得到一低於 $100\ \Omega$ 的等效電阻，這使得圖1之本發明的資料發送器較之圖7之習知的資料發送器，可操作於更高的頻率。

另一方面，吾人由MOS電晶體之特性作說明，當NMOS電晶體操作於飽和區(saturation region)時，下式成立： $i_D = K(V_{GS} - V_t)^2$ ，其中 $i_D$ 表示流過該NMOS電晶體的電流， $V_{GS}$ 表示閘極-源極間的電位差， $V_t$ 表示該NMOS電晶體

## 五、發明說明 (7)

的臨界電壓(threshold voltage)，一般約0.6V，K為一常數。根據此式，當節點A之電位降低時， $V_{GS}$ 變大，流入節點A之電流 $i_D$ 隨著電壓 $V_{GS}$ 之增大而以接近平方的關係增大。換言之，圖1中之NMOS電晶體N1提供良好的驅動能力，這說明圖1之資料發送器可操作於很高的頻率。而圖7之資料發送器中，係由固定的電流源提供此驅動電流，較之圖1之資料發送器由NMOS電晶體驅動(電流隨著電壓之增大而以接近平方的關係增大)，其驅動能力有所不如。

圖2表示根據本發明之第二較佳實施例的資料發送器，相較於圖1之電路，此處藉由npn電晶體 $Q_1$ 以提供流入節點A之電流，並藉由pnp電晶體 $Q_2$ 以排放節點B流出之電流。根據BJT電晶體之特性，當npn電晶體操作於主動模式(active mode)時，下式成立： $i_E = I_S' \times \exp(V_{BE}/V_T)$ ，其中 $i_E$ 表示由該BJT電晶體之射極流出的電流， $V_{BE}$ 表示基極-射極間的電位差， $V_T$ 與 $I_S'$ 均為常數。根據此式，當節點A之電位降低時， $V_{BE}$ 變大，流入節點A之電流 $i_E$ 隨著電壓之增大而以指數的關係增大。換言之，圖2中之npn電晶體 $Q_1$ 提供極佳的驅動能力，其可操作的頻率範圍較之圖1之資料發送器更寬。

參考圖3，其係一種用以實現圖1所示之資料發送器的電路，相較於圖1，其差異點在於：(1) 增加了驅動電壓輸出電路31，用以產生一驅動電壓 $V_1$ 提供予作為源極隨耦器的NMOS電晶體N1；及驅動電壓輸出電路32，用以產生一驅動電壓 $V_2$ 提供予作為源極隨耦器的PMOS電晶體P1。(2)

#### 五、發明說明 (8)

四個開關中，靠近節點A的兩個開關採用PMOS電晶體，分別以P2、P3表示；靠近節點B的兩個開關採用NMOS電晶體，分別以N2、N3表示。

驅動電壓輸出電路31之作用在於使PMOS電晶體P2之汲極上出現某一固定電位。反過來看，若無驅動電壓輸出電路31，則各電晶體由於製程上的差異，特性有所不同，結果若欲使PMOS電晶體P2之汲極上出現某一固定電位，加在NMOS電晶體N1之閘極上的電位亦隨電晶體之不同而有差異。

驅動電壓輸出電路31包含：用以模擬NMOS電晶體N1、PMOS電晶體P2之NMOS電晶體N4、PMOS電晶體P4；用以提供一參考電壓 $V_{REF1}$ 於PMOS電晶體P4及P2之汲極的比較器OP1；及一定電流源311，提供NMOS電晶體N4、PMOS電晶體P4之傳導路徑的電流。請注意NMOS電晶體N1、PMOS電晶體P2之(W/L)值為NMOS電晶體N4、PMOS電晶體P4之(W/L)值的20倍，換言之，當圖3之電路達於穩定狀態(steady state)時，流過NMOS電晶體N4之電流為流過NMOS電晶體N1之電流的1/20。舉例而言，若欲使電路達於穩定狀態時，流過NMOS電晶體N1之電流為4mA，則定電流源311之電流值應定為200  $\mu$ A。驅動電壓輸出電路32之作用類似於驅動電壓輸出電路31，在此不加贅述。

圖3之驅動電壓輸出電路31雖然可保證出現在PMOS電晶體P2之汲極的電位為固定，但由於需要有參考電壓 $V_{REF1}$ 作為比較器OP1的輸入，因此需要有另一個用以產生參考

#### 五、發明說明 (9)

電壓 $V_{REF1}$ 的電路，而且需要有運算放大器(operational amplifier)作為該比較器OP1，電路較為複雜。

考慮上述問題，圖4揭示另一種資料發送器的電路，其採用異於圖3之驅動電壓輸出電路41、42。以下比較驅動電壓輸出電路41與驅動電壓輸出電路31之差異：(1) 電路較為簡單---不需要參考電壓 $V_{REF1}$ ，亦不需要運算放大器；(2) 電源界限(power margin)較小---由於驅動電壓輸出電路41係由電阻R1、PMOS電晶體P4、NMOS電晶體N4及定電流源411四級串聯而成，其電源界限自然小於由定電流源311、PMOS電晶體P4及NMOS電晶體N4三級串聯而成的驅動電壓輸出電路31。驅動電壓輸出電路42之作用類似於驅動電壓輸出電路41，在此亦不加墜述。

圖5係一模擬實驗比較圖，用以比較圖1所示之本發明的資料發送器與圖7所示之習知的資料發送器。模擬實驗的條件如下：操作頻率66 MHz，傳輸線的電容值10pF，其中實線與虛線分別表示本發明與圖7之資料發送器兩者的波形，由波形的比較可知，本發明相較之下，在極短的時間就達成穩定狀態。

在發明詳細說明中所提出之具體的實施態樣或實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，在不超出本發明之精神及以下之申請專利範圍之情況，可作種種變化實施。

## 圖式簡單說明

圖1表示根據本發明之第一較佳實施例的資料發送器；

圖2表示根據本發明之第二較佳實施例的資料發送器；

圖3表示一種用以實現圖1所示之資料發送器的電路；

圖4表示另一種用以實現圖1所示之資料發送器的電路；

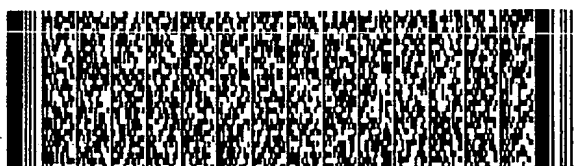
圖5係一模擬實驗比較圖，用以比較圖1所示之本發明的資料發送器與圖7所示之習知的資料發送器；

圖6表示一種習知的資料發送器；

圖7表示另一種習知的資料發送器。

## 符號說明

31、32、41、42	驅動電壓輸出電路
311、321	定電流源
61、62、63、64	開關
65、66	定電流源
71、72、73、74	開關
75	定電流源



## 六、申請專利範圍

1. 一種資料發送器(transmitter)，用以接受一單端(single-ended)二元輸入信號並將其轉換成一差動(differential)二元輸出信號，該資料發送器包含：

一第一與一第二傳導路徑，並聯連接於一第一與一第二節點之間；

一第一與一第二開關，串聯連接於該第一傳導路徑上，其中該第一開關靠近該第一節點，該第二開關靠近該第二節點；

一第三與一第四開關，串聯連接於該第二傳導路徑上，其中該第三開關靠近該第一節點，該第四開關靠近該第二節點；

作為源極隨耦器(source follower)之NMOS電晶體，其汲極連接於電壓源，閘極連接於一第一驅動電壓，源極連接於該第一節點，用以經由該第一節點提供一電流至該第一與第二傳導路徑；及

作為源極隨耦器之PMOS電晶體，其汲極接地，閘極連接於一第二驅動電壓，源極連接於該第二節點，用以經由該第二節點接受來自該第一與第二傳導路徑之電流，

其中，該第一開關、該第二開關、該第三開關及該第四開關之壓控端子上分別施加該單端二元輸入信號或其反相信號，用以使得當該第一與該第四開關導通時，該第二與該第三開關切斷，當該第二與該第三開關導通時，該第一與該第四開關切斷；該差動二元輸出信號係由一對輸出端子拉出，一輸出端子連接於該第一傳導路徑中該第一與



#### 六、申請專利範圍

該第二開關之連接處，另一輸出端子連接於該第二傳導路徑中該第三與該第四開關之連接處。

2. 如申請專利範圍第1項之資料發送器，其中該第一與該第三開關為PMOS開關，該第二與該第四開關為NMOS開關，該第一驅動電壓係由一第一驅動電壓輸出電路產生，該第二驅動電壓係由一第二驅動電壓輸出電路產生，其中，

該第一驅動電壓輸出電路包含：

一第一定電流源，其下端接地；

一第一NMOS電晶體與一第一PMOS電晶體，兩電晶體之源極相連，該第一NMOS電晶體之汲極連接於電壓源，閘極連接於該作為源極隨耦器之NMOS電晶體之閘極，該第一PMOS電晶體之汲極連接於該第一定電流源之上端，閘極接地；及

一第一比較器，其正輸入端接受一第一參考電壓，負輸入端連接於該第一定電流源之上端，輸出端連接於該第一NMOS電晶體之閘極，

該第二驅動電壓輸出電路包含：

一第二定電流源，其上端連接於電壓源；

一第二NMOS電晶體與一第二PMOS電晶體，兩電晶體之源極相連，該第二PMOS電晶體之汲極接地，閘極連接於該作為源極隨耦器之PMOS電晶體之閘極，該第二NMOS電晶體之汲極連接於該第二定電流源之下端，閘極連接於電壓源；及



#### 六、申請專利範圍

一 第二比較器，其正輸入端接受一第二參考電壓，負輸入端連接於該第二定電流源之下端，輸出端連接於該第二PMOS電晶體之閘極。

3. 如申請專利範圍第1項之資料發送器，其中該第一與該第三開關為PMOS開關，該第二與該第四開關為NMOS開關，該第一驅動電壓係由一第一驅動電壓輸出電路產生，該第二驅動電壓係由一第二驅動電壓輸出電路產生，其中，

該第一驅動電壓輸出電路包含：

一 第一定電流源，其上端連接於電壓源；

一 第一電阻，其第一端接地；及

一 第一NMOS電晶體與一第一PMOS電晶體，兩電晶體之源極相連，該第一NMOS電晶體之汲極與閘極相連，該汲極並連接於該第一定電流源的下端，該閘極連接於該作為源極隨耦器之NMOS電晶體之閘極，該第一PMOS電晶體之汲極連接於該第一電阻之第二端，閘極接地，

該第二驅動電壓輸出電路包含：

一 第二定電流源，其下端接地；

一 第二電阻，其第一端連接於電壓源；及

一 第二NMOS電晶體與一第二PMOS電晶體，兩電晶體之源極相連，該第二PMOS電晶體之汲極與閘極相連，該汲極並連接於該第二定電流源的上端，該閘極連接於該作為源極隨耦器之PMOS電晶體之閘極，該第二NMOS電晶體之汲極連接於該第二電阻之第二端，閘極連接於電壓源。



#### 六、申請專利範圍

4. 一種資料發送器，用以接受一單端二元輸入信號並將其轉換成一差動二元輸出信號，該資料發送器包含：一第一與一第二傳導路徑，並聯連接於一第一與一第二節點之間；

一第一與一第二開關，串聯連接於該第一傳導路徑上，其中該第一開關靠近該第一節點，該第二開關靠近該第二節點；

一第三與一第四開關，串聯連接於該第二傳導路徑上，其中該第三開關靠近該第一節點，該第四開關靠近該第二節點；

作為射極隨耦器(emitter follower)之npn電晶體，其集極連接於電壓源，基極連接於一第一驅動電壓，射極連接於該第一節點，用以經由該第一節點提供一電流至該第一與第二傳導路徑；及

作為射極隨耦器之pnp電晶體，其集極接地，基極連接於一第二驅動電壓，射極連接於該第二節點，用以經由該第二節點接受來自該第一與第二傳導路徑之電流，

其中，該第一開關、該第二開關、該第三開關及該第四開關之壓控端子上分別施加該單端二元輸入信號或其反相信號，用以使得當該第一與該第四開關導通時，該第二與該第三開關切斷，當該第二與該第三開關導通時，該第一與該第四開關切斷；該差動二元輸出信號係由一對輸出端子拉出，一輸出端子連接於該第一傳導路徑中該第一與該第二開關之連接處，另一輸出端子連接於該第二傳導路

#### 六、申請專利範圍

徑中該第三與該第四開關之連接處。

5. 如申請專利範圍第4項之資料發送器，其中該第一與該第三開關為pnp開關，該第二與該第四開關為npn開關，該第一驅動電壓係由一第一驅動電壓輸出電路產生，該第二驅動電壓係由一第二驅動電壓輸出電路產生，其中，

該第一驅動電壓輸出電路包含：

一第一定電流源，其下端接地；

一第一npn電晶體與一第一pnp電晶體，兩電晶體之射極相連，該第一npn電晶體之集極連接於電壓源，基極連接於該作為射極隨耦器之npn電晶體之基極，該第一pnp電晶體之集極連接於該第一定電流源之上端，基極接地；及

一第一比較器，其正輸入端接受一第一參考電壓，負輸入端連接於該第一定電流源之上端，輸出端連接於該第一npn電晶體之基極，

該第二驅動電壓輸出電路包含：

一第二定電流源，其上端連接於電壓源；

一第二npn電晶體與一第二pnp電晶體，兩電晶體之射極相連，該第二pnp電晶體之集極接地，基極連接於該作為射極隨耦器之pnp電晶體之基極，該第二npn電晶體之集極連接於該第二定電流源之下端，基極連接於電壓源；及

一第二比較器，其正輸入端接受一第二參考電壓，負輸入端連接於該第二定電流源之下端，輸出端連接於該第二pnp電晶體之基極。



#### 六、申請專利範圍

6. 如申請專利範圍第4項之資料發送器，其中該第一與該第三開關為pnp開關，該第二與該第四開關為npn開關，該第一驅動電壓係由一第一驅動電壓輸出電路產生，該第二驅動電壓係由一第二驅動電壓輸出電路產生，其中，

該第一驅動電壓輸出電路包含：

- 一第一定電流源，其上端連接於電壓源；
- 一第一電阻，其第一端接地；及

一第一npn電晶體與一第一pnp電晶體，兩電晶體之射極相連，該第一npn電晶體之集極與基極相連，該集極並連接於該第一定電流源的下端，該基極連接於該作為射極隨耦器之npn電晶體之基極，該第一pnp電晶體之集極連接於該第一電阻之第二端，基極接地，

該第二驅動電壓輸出電路包含：

- 一第二定電流源，其下端接地；
- 一第二電阻，其第一端連接於電壓源；及

一第二npn電晶體與一第二pnp電晶體，兩電晶體之射極相連，該第二pnp電晶體之集極與基極相連，該集極並連接於該第二定電流源的上端，該基極連接於該作為射極隨耦器之pnp電晶體之基極，該第二npn電晶體之集極連接於該第二電阻之第二端，基極連接於電壓源。



第 1/20 頁



第 2/20 頁



第 2/20 頁



第 3/20 頁



第 5/20 頁



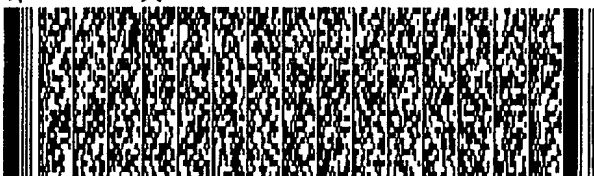
第 5/20 頁



第 6/20 頁



第 6/20 頁



第 7/20 頁



第 7/20 頁



第 8/20 頁



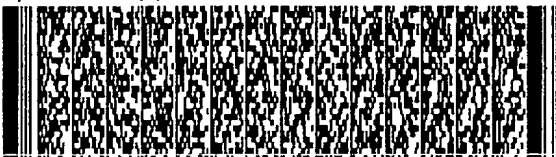
第 8/20 頁



第 9/20 頁



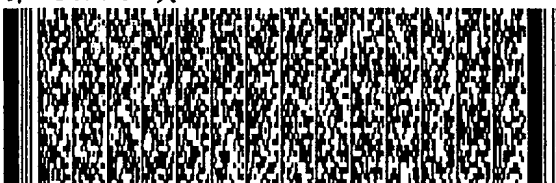
第 9/20 頁



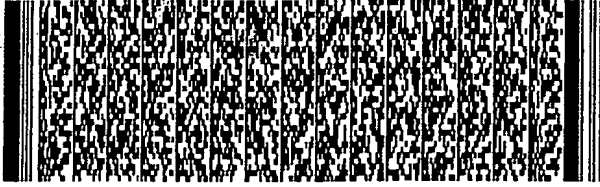
第 10/20 頁



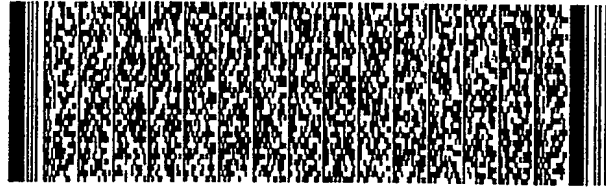
第 10/20 頁



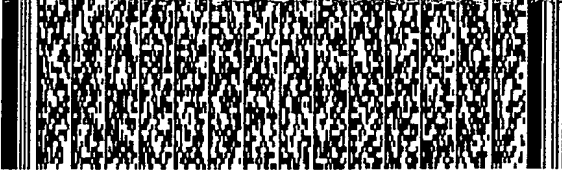
第 11/20 頁



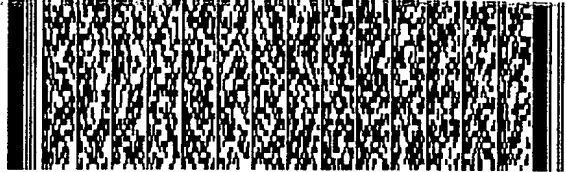
第 11/20 頁



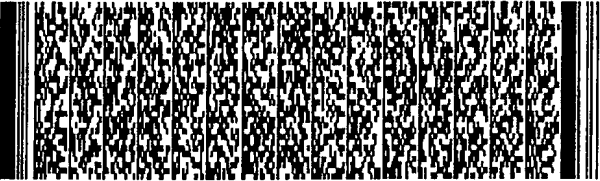
第 12/20 頁



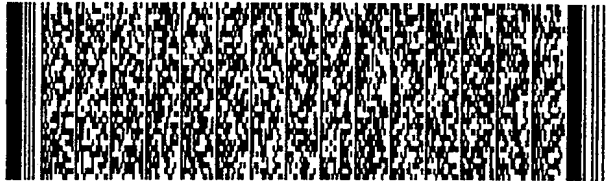
第 12/20 頁



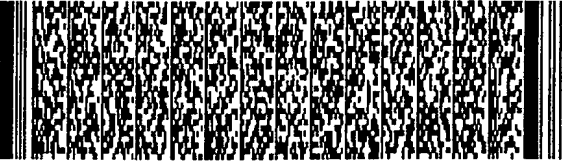
第 13/20 頁



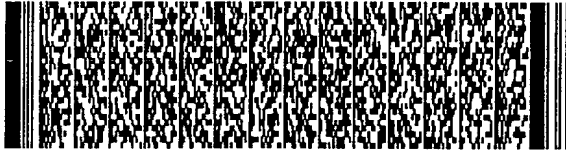
第 13/20 頁



第 14/20 頁



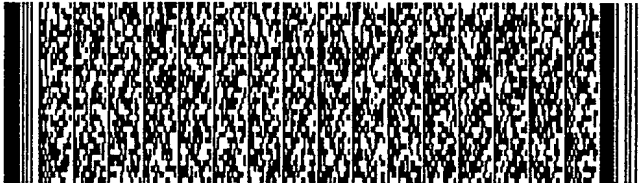
第 15/20 頁



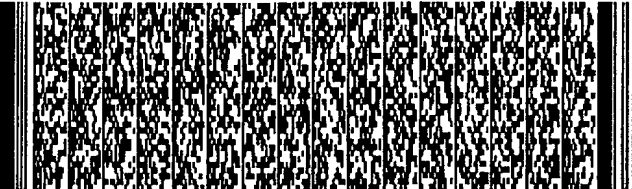
第 15/20 頁



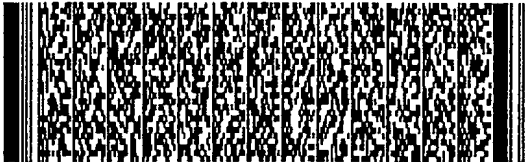
第 16/20 頁



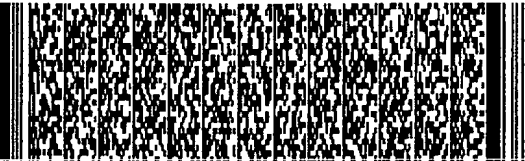
第 17/20 頁



第 18/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁



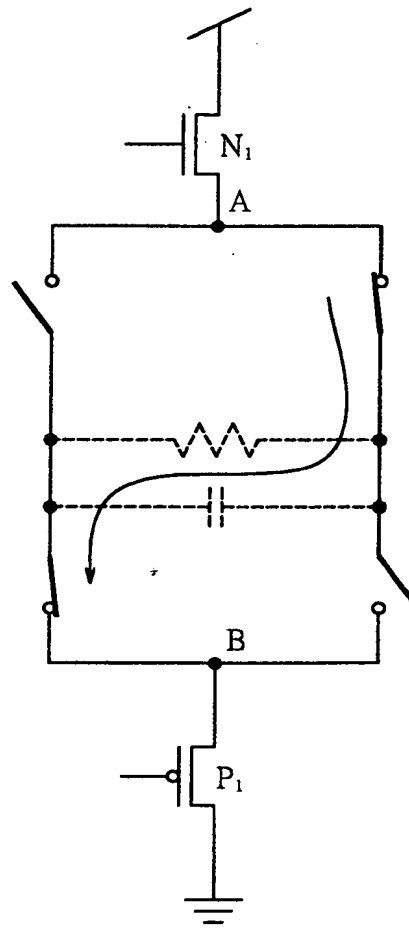


圖 1



圖式

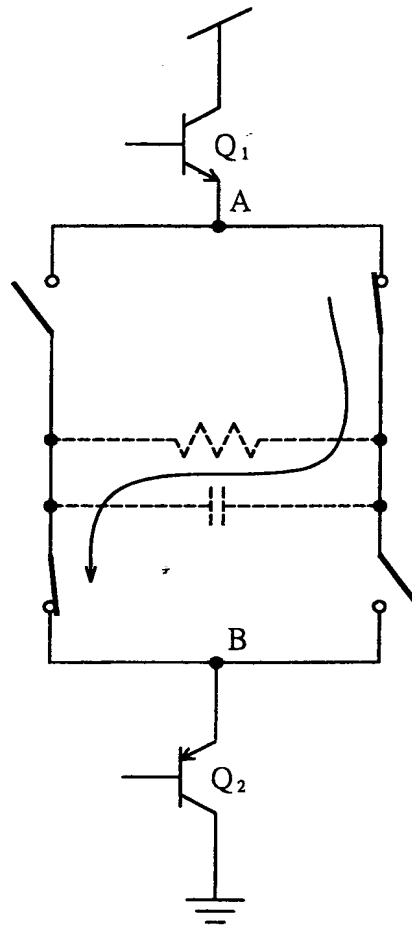
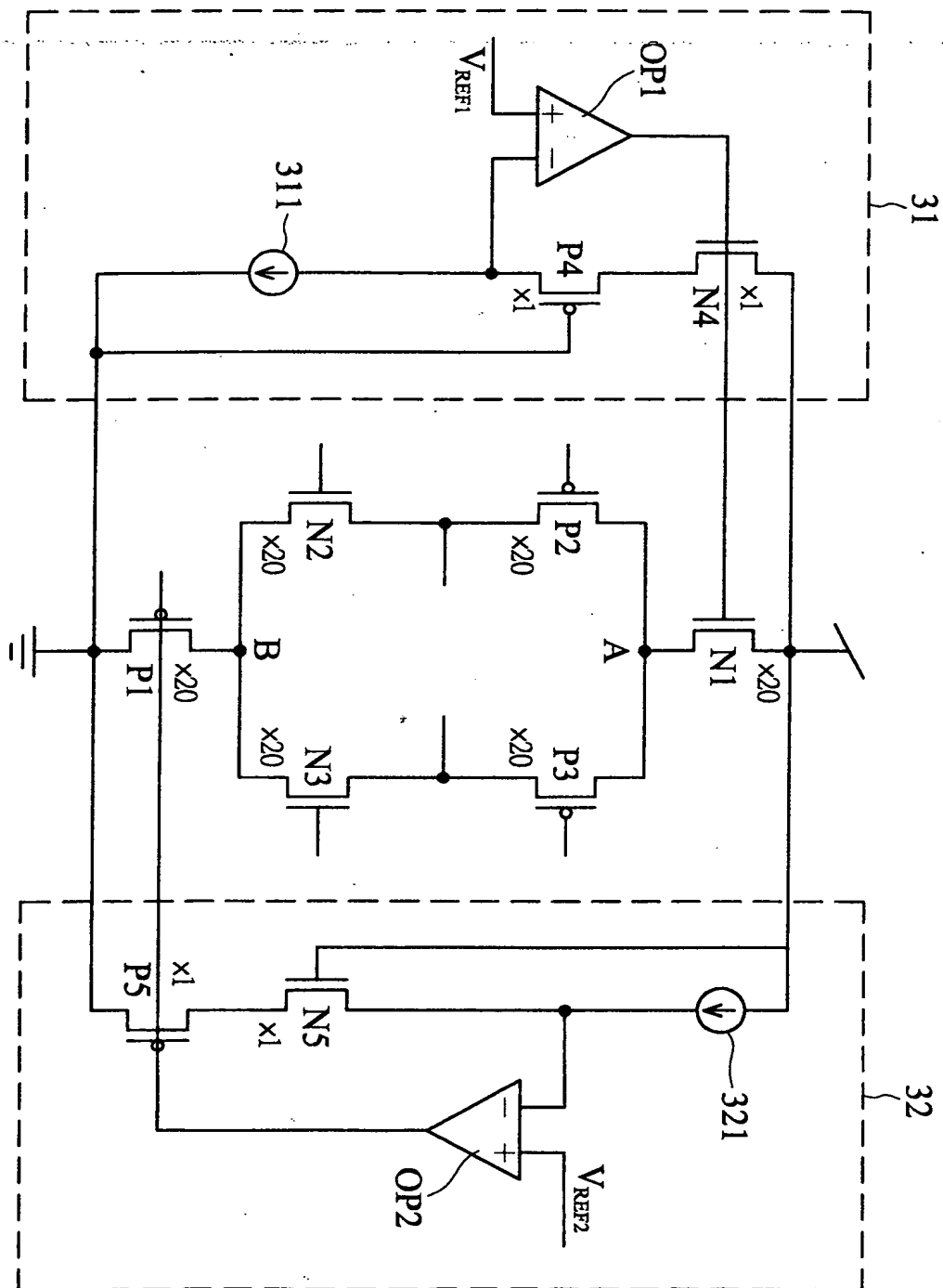


圖 2

圖 3





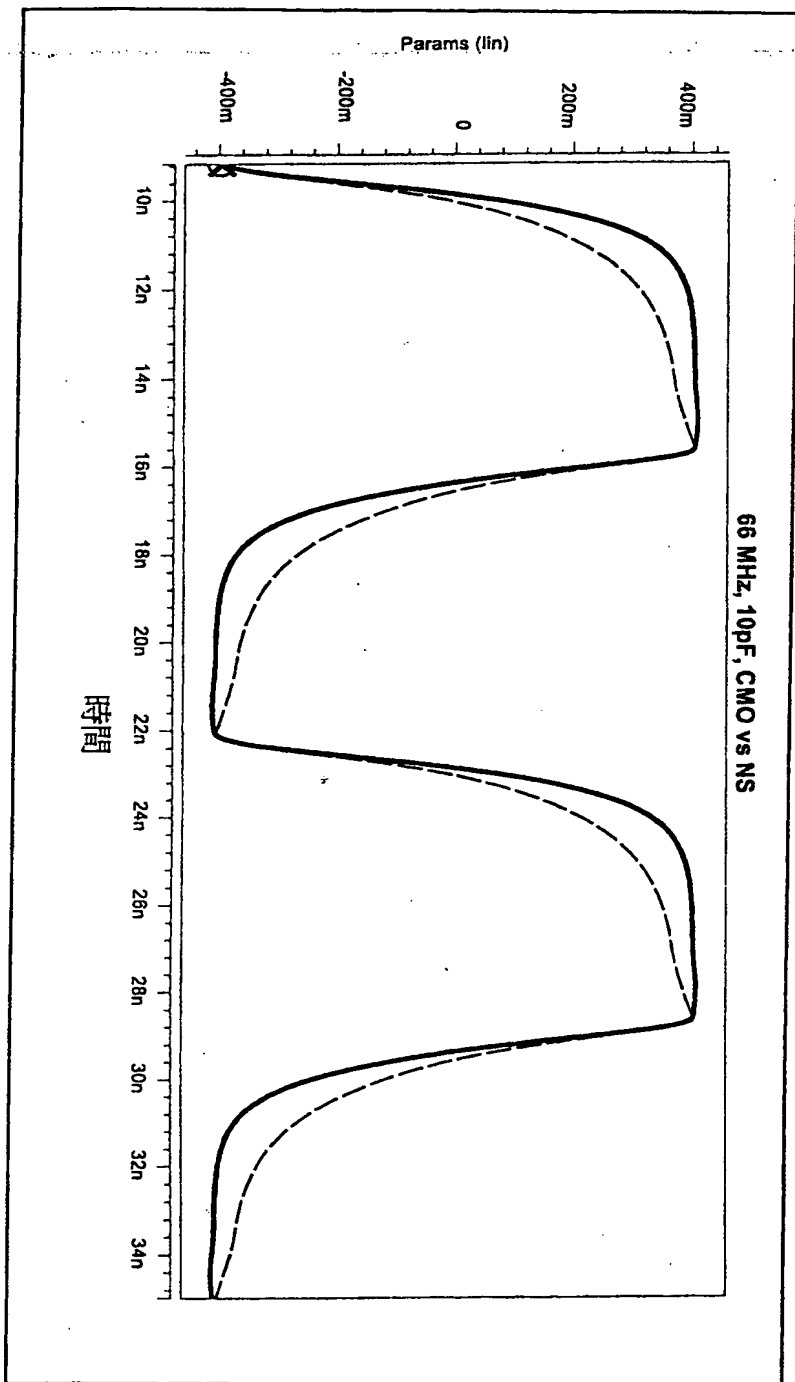


圖 5

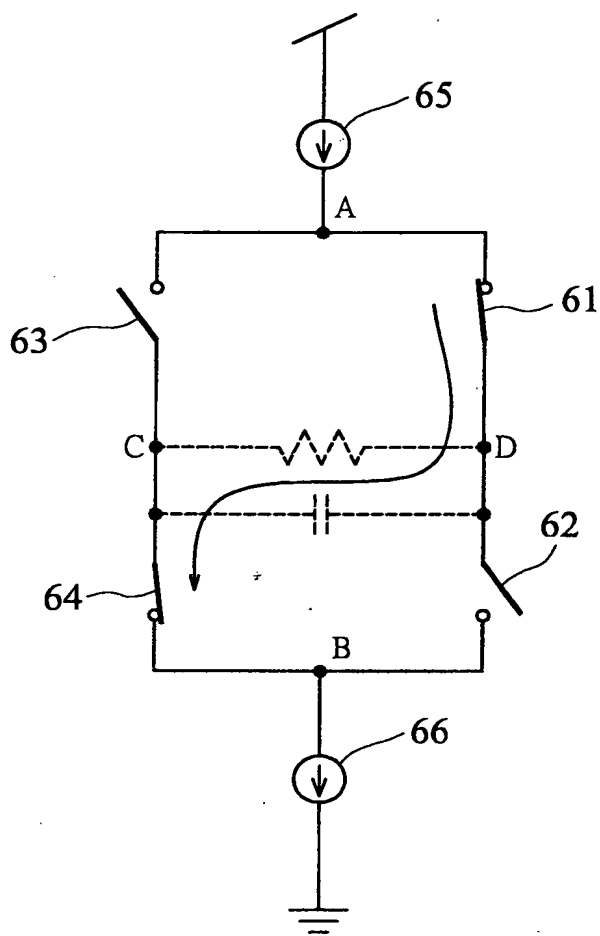


圖 6

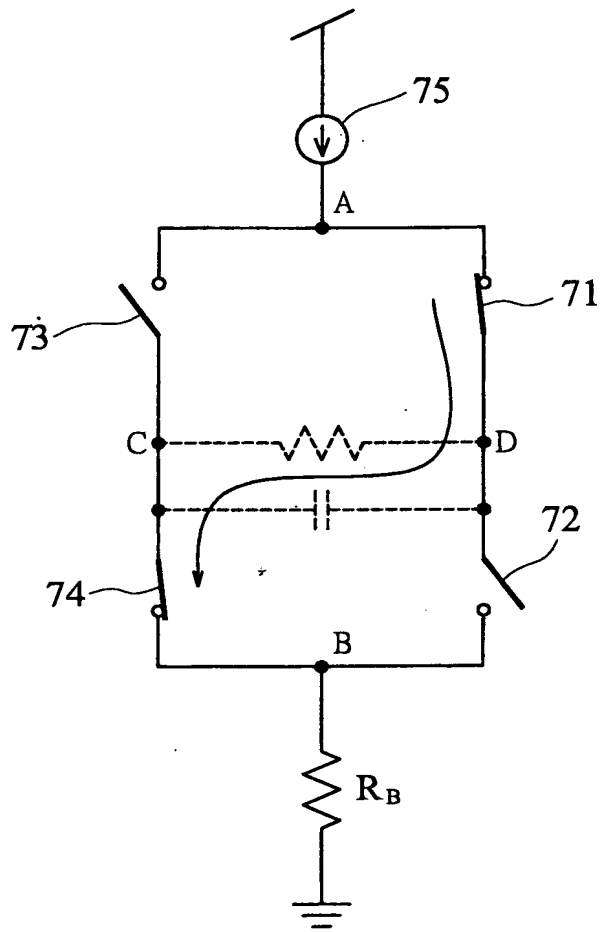


圖 7